

ABSTRAK

Sistem pendengaran memegang peranan penting dalam kehidupan karena masalah pendengaran dapat mengganggu kemampuan komunikasi verbal yang sangat dibutuhkan dalam aktivitas sehari-hari. Masalah pendengaran sejak lahir dapat mengakibatkan kesulitan dalam bahasa dan berbicara. Jika dilakukan identifikasi dan penanganan dini secara pro-aktif, masalah pendengaran dapat ditangani, dan pendengaran dapat dioptimalkan sehingga anak-anak tersebut dapat sukses di sekolah dan dapat lebih produktif dalam masyarakat.

BERA (*Brainstem Evoked Response Audiometry*) merupakan alat yang digunakan untuk mendeteksi masalah sejak dini pada bayi yang baru lahir dan anak-anak kecil di mana dokter tidak melihat respon fisik melainkan respon mental yang dapat diperoleh melalui *scan* otak. BERA menilai kesatuan dan kondisi jalur syaraf pendengaran ke otak.

Skripsi ini membahas tentang desain dan pengujian dari prototipe BERA yang dikoneksikan ke PC (*Personal Computer*). Fungsi dari PC adalah untuk mengontrol alat BERA dan menampilkan hasil tes ke monitor. Tujuan digunakannya PC adalah agar BERA dapat lebih mudah dioperasikan oleh pengguna. Dalam skripsi ini, hasil tampilan sinyal yang terekam oleh prototipe alat akan ditampilkan beserta perhitungan responnya.

ABSTRACT

The hearing function holds an important role because hearing trouble can interfere with verbal communication, which is much needed in everyday activities. Hearing trouble in children from birth can result in difficulties with language and speech. When pro-active identification and early intervention is practiced, hearing trouble can be managed, and hearing can be optimized so that children can succeed in school and can be more productive in society.

BERA (Brainstem Evoked Response Audiometry) are appliance used to detect early hearing trouble in newborn babies and young children where the doctor is not looking for a physical response but a mental response and this is done using a brain scan. BERA assesses the integrity and condition of the hearing path to the brain.

This thesis discusses the design and testing of prototype BERA connected to a PC (Personal Computer). PC function is to control BERA appliance and to display the result of the test in a monitor. The purpose using a PC is to make BERA more friendly to the user. In this thesis, signal recorded in the prototype will be displayed with its calculated response.

KATA PENGANTAR

Puji dan syukur penulis panjatkan kepada Tuhan Yesus Kristus atas kasih setia, rahmat dan karuniaNya yang selalu memberikan tuntunan, pertolongan dan kekuatan sehingga laporan tugas akhir dengan judul “Perancangan dan Realisasi Prototipe BERA berbasis PC” dapat diselesaikan.

Penulis menyadari bahwa terciptanya laporan tugas akhir ini adalah berkat bantuan dari berbagai pihak, oleh karena itu penulis ingin mengucapkan terima kasih kepada:

1. Bapak Roy Pramono Adhie ST., MT., selaku pembimbing yang telah membantu dalam pelaksanaan tugas akhir ini.
2. Ibu Ir. Anita Soepartono MSc., selaku koordinator tugas akhir, yang telah membantu dalam proses pelaksanaan tugas akhir.
3. Bapak Ir. Aan Darmawan MT., selaku Ketua Jurusan Teknik Elektro, Universitas Kristen Maranatha.
4. Bapak Drs. Ir. Hanapi Gunawan, Msc., Bapak Drs. Zaenal Abidin, Msc., dan Bapak Dr. Ir. Daniel Setiadikarunia, MT. selaku dosen penguji yang telah banyak memberikan saran-saran dalam pembuatan tugas akhir ini.
5. Para dosen, karyawan, dan staf Jurusan Teknik Elektro Universitas Kristen Maranatha atas ilmu dan bantuan dalam proses perkuliahan.
6. Orang tua, Setyawati, Felix, dan Yani yang selalu memberikan dukungan dalam doa, dana, dorongan dan semangat dalam menyelesaikan tugas akhir ini. Terima kasih juga atas kasih sayang selama ini.
7. Herman, Alex, Faisal, Yohanes, Budi Hertanto, Hendra, Pohan, Melvin dan semua teman Jurusan Teknik Elektro yang tidak dapat saya sebutkan satu persatu. Terima kasih atas bantuan, masukan, semangat, dan persahabatan selama ini.
8. Yohana Mellina Suryadi yang selalu memberikan dukungan, bantuan, doa, dan kasih dalam melaksanakan tugas akhir ini. *Thanks a lot.*

9. Rekan-rekan sel Thomas Aquinas dan rekan-rekan Komunitas Tritunggal Mahakudus Bandung. Terima kasih atas dukungan dan bantuan doanya.
10. Fransiskus Xaverius Hendra Gunawan. *Thank you uncle*.
11. Rekan-rekan serta semua pihak yang tidak dapat disebutkan satu-persatu yang telah membantu dan memberikan dukungan baik secara langsung maupun tidak langsung selama penyusunan laporan ini.

Penulis menyadari bahwa laporan tugas akhir ini memiliki banyak kekurangan karena keterbatasan ilmu dan pengetahuan yang penulis miliki, oleh karena itu penulis mengharapkan kritik dan saran yang membangun. Akhir kata, dengan segala keterbatasan dan kekurangan yang ada, penulis berharap semoga laporan tugas akhir ini dapat bermanfaat bagi pembaca sekalian.

Bandung, Februari 2007

Penulis

DAFTAR ISI

ABSTRAK	i
ABSTRACT	ii
KATA PENGANTAR	iii
DAFTAR ISI	v
DAFTAR TABEL	viii
DAFTAR GAMBAR	ix
DAFTAR LAMPIRAN	xii
BAB I PENDAHULUAN	1
I.1 Latar Belakang	1
I.2 Identifikasi Masalah	1
I.3 Tujuan	2
I.4 Pembatasan Masalah	2
I.5 Spesifikasi Alat	2
I.6 Sistematika Penulisan	2
BAB II LANDASAN TEORI	4
II.1 Mikrokontroler ATMEGA8	4
II.1.1 Arsitektur ATMEGA8	4
II.1.2 Interupsi pada ATMEGA8	5
II.1.3 Komunikasi Serial USART	7
II.1.4 ADC ATMEGA8	15
II.2 Penguat Operasional	22
II.2.1 Penguat Membalik (<i>Inverting Amplifier</i>)	23
II.2.2 Penguat Tak Membalik (<i>Non Inverting Amplifier</i>)	24
II.2.3 Penguat Diferensial	24
II.2.4 <i>Common Mode Rejection Ratio</i>	25
II.2.5 Penguat Instrumentasi	25
II.2.6 Pengikut Tegangan	26
II.2.7 Rangkaian Penjumlah (<i>Summing Amplifier</i>)	27

II.3	Filter	28
II.3.1	<i>Low Pass Filter</i>	28
II.3.2	<i>High Pass Filter</i>	30
II.3.3	<i>Band Pass Filter</i>	31
II.3.4	<i>Band Stop Filter</i>	32
II.3.5	Klasifikasi Filter menurut Karakteristik dan Tipe	34
II.4	Konverter <i>Analog</i> ke <i>Digital</i>	35
II.4.1	Konverter <i>Analog</i> ke <i>Digital</i> Lereng Ganda	35
II.4.2	<i>Succesive Approximation Converter</i>	36
II.4.3	Konverter Paralel	36
II.5	Sangkar Faraday	37
II.6	Pengenalan Antarmuka RS-232C	38
II.7	Elektroda	39
II.8	<i>Electroencephalography</i> (EEG)	40
BAB III	PERANCANGAN DAN REALISASI	42
III.1	Perangkat Keras	42
III.1.1	Penguat Awal	42
III.1.2	<i>Right Leg Driver</i> (RLD)	44
III.1.3	<i>High Pass Filter</i>	45
III.1.4	<i>Low Pass Filter</i>	47
III.1.5	<i>Notch Filter</i>	48
III.1.6	<i>Summing Amplifier</i>	49
III.1.7	Mikrokontroler ATMEGA8	50
III.1.8	<i>Optocoupler</i> 6N136	51
III.1.9	<i>Interface</i> Komunikasi Serial RS-232	52
III.2	Perangkat Lunak	53
III.2.1	Perangkat Lunak ATMEGA8	53
III.2.2	Perangkat Lunak Delphi	57
BAB IV	PENGUJIAN ALAT	62
IV.1	Pengujian Alat <i>Analog</i>	62
IV.1.1	Pengujian <i>Instrumentation Amplifier</i>	62
IV.1.2	Pengujian <i>High Pass Filter</i>	64

IV.1.3	Pengujian <i>Low Pass Filter</i>	65
IV.1.4	Pengujian <i>Notch Filter</i>	65
IV.1.5	Pengujian <i>Summing Amplifier</i>	66
IV.2	Pengujian Alat Digital	66
IV.2.1	Pengujian Perangkat Lunak ATMEGA8	66
IV.2.2	Pengujian Perangkat Lunak Delphi	67
IV.3	Pengujian Sistem	71
IV.3.1	Pengujian Sistem Terhadap Masukan Sinyal Sinus Dan Kotak	71
IV.3.2	Pengujian Terhadap Manusia	78
BAB V	KESIMPULAN DAN SARAN	82
V.1	Kesimpulan	82
V.2	Saran	82
DAFTAR PUSTAKA		
LAMPIRAN		

DAFTAR TABEL

Tabel II.1	Macam-macam Sumber Interupsi pada AVR ATMEGA8	5
Tabel II.2	Perhitungan Nilai UBRR untuk Berbagai Mode Operasi	9
Tabel II.3	Penentuan Ukuran Karakter	10
Tabel II.4	Penentuan Mode Paritas	12
Tabel II.5	Pemilihan Mode Tegangan Referensi ADC	20
Tabel II.6	Tabel Pemilihan Bit Saluran Pembacaan ADC	21
Tabel II.7	Konfigurasi <i>Clock</i> ADC	22
Tabel II.8	Karakteristik Penguat Operasional Ideal	23

DAFTAR GAMBAR

Gambar II.1	Blok Diagram Fungsional ATMEGA8	4
Gambar II.2	Blok Diagram USART ATMEGA8	8
Gambar II.3	Register UBRR	9
Gambar II.4	Register UCSRB	10
Gambar II.5	Register UCSRS	11
Gambar II.6	Register UDR	12
Gambar II.7	Register UCSRA	13
Gambar II.8	Blok Diagram ADC ATMEGA8	15
Gambar II.9	<i>Prescaler</i> ADC	17
Gambar II.10	Diagram Waktu ADC, Konversi Pertama	18
Gambar II.11	Diagram Waktu ADC, Konversi Tunggal	18
Gambar II.12	Diagram Waktu ADC, Konversi <i>Free Running</i>	19
Gambar II.13	Register ADMUX	19
Gambar II.14	Format Data ADC dengan ADLAR = 0	20
Gambar II.15	Format Data ADC dengan ADLAR = 1	20
Gambar II.16	Register ADCSRA	21
Gambar II.17	Rangkaian Penguat Membalik	23
Gambar II.18	Rangkaian Penguat Tak Membalik	24
Gambar II.19	Penguat Diferensial	25
Gambar II.20	Rangkaian Penguat Instrumentasi	25
Gambar II.21	Rangkaian Pengikut Tegangan	27
Gambar II.22	Rangkaian Penjumlah Membalik	27
Gambar II.23	Rangkaian Penjumlah Tak Membalik	28
Gambar II.24	(a) Respon Frekuensi <i>Low Pass Filter</i>	29
	(b) Rangkaian <i>Low Pass Filter</i> Orde 1	29
Gambar II.25	<i>Unity Gain Low Pass Filter</i> Sallen and Key Orde 2	29
Gambar II.26	(a) Respon Frekuensi <i>High Pass Filter</i>	30
	(b) Rangkaian <i>High Pass Filter</i> Orde 1	30

Gambar II.27 Rangkaian <i>Unity Gain High Pass Filter</i> Sallen and Key	
Orde 1	31
Gambar II.28 Respon Frekuensi <i>Band Pass Filter</i>	31
Gambar II.29 Respon Frekuensi <i>Band Stop Filter</i>	32
Gambar II.30 Rangkaian <i>Notch Filter</i>	33
Gambar II.31 Konverter <i>Analog</i> ke <i>Digital</i> Lereng Ganda	35
Gambar II.32 Konverter <i>Analog</i> ke <i>Digital Successive Approximation</i>	36
Gambar II.33 Rangkaian Konverter Paralel 3 bit	37
Gambar II.34 Beberapa Bentuk Elektroda EKG	40
Gambar II.35 Contoh Sinyal EEG	41
Gambar III.1 Diagram Blok Prototipe PC-based BERA	42
Gambar III.2 Rangkaian Skematik AD620AN	43
Gambar III.3 Rangkaian <i>Preamplifier</i>	44
Gambar III.4 Rangkaian <i>Right Leg Driver</i>	44
Gambar III.5 Rangkaian <i>High Pass Filter</i>	46
Gambar III.6 Rangkaian LPF Bessel Orde 4	47
Gambar III.7 Rangkaian <i>Notch Filter</i>	49
Gambar III.8 Rangkaian <i>Summing Amplifier</i>	50
Gambar III.9 Rangkaian Mikrokontroler ATMEGA8	51
Gambar III.10 Rangkaian <i>Optocoupler</i> untuk Komunikasi RS-232 dua Arah	52
Gambar III.11 Rangkaian <i>Supply</i> Tegangan untuk Rangkaian <i>Digital</i>	52
Gambar III.12 Rangkaian Antarmuka RS-232	53
Gambar III.13 Diagram Alir Program Utama ATMEGA8	54
Gambar III.14 Diagram Alir Proses Data ATMEGA8	56
Gambar III.15 Diagram Alir Proses Periksa Koneksi	57
Gambar III.16 Diagram Alir Proses Hitung <i>Gain</i>	58
Gambar III.17 <i>Input</i> dari ADC dalam Proses Penghitungan Penguatan	59
Gambar III.18 Diagram Alir Proses Pengambilan Sinyal	61
Gambar IV.1 Pengukuran Tahanan Masukan	63
Gambar IV.2 Program AVR Studio 3.56	67

Gambar IV.3	Tampilan Sinyal di PC jika Masukan Sinyal Sinus 100 Hz	68
Gambar IV.4	Tampilan Sinyal di PC jika Masukan Sinyal Kotak 100 Hz	68
Gambar IV.5	Tampilan Sinyal di PC jika Masukan Sinyal Sinus 1 kHz	69
Gambar IV.6	Tampilan Sinyal di PC jika Masukan Sinyal Kotak 1 kHz	69
Gambar IV.7	Tampilan Sinyal di PC jika Masukan Sinyal Sinus 3 kHz	70
Gambar IV.8	Tampilan Sinyal di PC jika Masukan Sinyal Kotak 3 kHz	70
Gambar IV.9	Tampilan di Osiloskop jika Masukan Sinus 100 Hz	72
Gambar IV.10	Tampilan Sinyal di PC jika Masukan Sinus 100 Hz 40 uVpp	72
Gambar IV.11	Tampilan di Osiloskop jika Masukan Kotak 100 Hz	73
Gambar IV.12	Tampilan Sinyal di PC jika Masukan Kotak 1 kHz 40 uVpp	73
Gambar IV.13	Tampilan di Osiloskop jika Masukan Sinus 1 kHz	74
Gambar IV.14	Tampilan Sinyal di PC jika Masukan Sinus 1 kHz 40 uVpp	74
Gambar IV.15	Tampilan di Osiloskop jika Masukan Kotak 1 kHz	75
Gambar IV.16	Tampilan Sinyal di PC jika Masukan Kotak 1 kHz 40 uVpp	75
Gambar IV.17	Tampilan di Osiloskop jika Masukan Sinus 2 kHz	76
Gambar IV.18	Tampilan Sinyal di PC jika Masukan Sinus 2 kHz 40 uVpp	76
Gambar IV.19	Tampilan di Osiloskop jika Masukan Kotak 2 kHz	77
Gambar IV.20	Tampilan Sinyal di PC jika Masukan Kotak 2 kHz 40 uVpp	77
Gambar IV.21	Hasil Pengujian jika Diberi Stimulus Sentuhan	78
Gambar IV.22	Hasil Pengujian jika Diberikan Stimulus Suara 1500 Hz	79
Gambar IV.23	Hasil Pengujian jika Diberikan Stimulus Suara 1500 Hz Setelah <i>Zooming</i>	80
Gambar IV.24	Hasil Pengujian dalam lingkungan yang tidak tenang	81

DAFTAR LAMPIRAN

LAMPIRAN A	RANGKAIAN SKEMATIK PERANGKAT KERAS
LAMPIRAN B	LIST PROGRAM MIKROKONTROLER
LAMPIRAN C	LIST PROGRAM DELPHI
LAMPIRAN D	FOTO ALAT DAN PENGUJIAN ALAT
LAMPIRAN E	TABEL BESSEL