

## **BAB V**

### **KESIMPULAN DAN SARAN**

#### **5.1 Kesimpulan**

UART berhasil dirancang dengan bahasa pemrograman VHDL dan disimulasikan dengan ModelSim.

Mode paritas yang digunakan dapat diatur sesuai dengan keinginan. 0 = paritas genap, 1 = paritas ganjil.

#### **5.2 Saran**

Penelitian lanjutannya adalah memprogram UART yang telah dirancang ke dalam FPGA sehingga hasilnya dapat dilihat secara real.