

PERANCANGAN & SIMULASI UART (UNIVERSAL ASYNCHRONOUS RECEIVER TRANSMITTER) DENGAN BAHASA PEMROGRAMAN VHDL

Disusun oleh :

Nama : David

NRP : 0522107

Jurusan Teknik Elektro, Fakultas Teknik, Universitas Kristen Maranatha,

Jl. Prof. Drg. Suria Sumantri, MPH no. 65, Bandung, Indonesia,

email : lee_hgxa@yahoo.com

ABSTRAK

Seiring dengan perkembangan teknologi, kebutuhan terhadap berbagai alat yang dapat digunakan untuk lebih dari satu kebutuhan sangat bermanfaat dalam penghematan biaya.

Dalam Tugas Akhir ini dibahas tentang perancangan UART (Universal Asynchronous Receiver Transmitter) dengan bahasa pemrograman VHDL dan pensimulasiannya pada ModelSim SE 6.0. Dengan bahasa pemrograman VHDL berbagai fungsi logika dapat dipelajari tanpa harus membeli IC terlebih dulu.

Dari uji coba dengan simulasi yang dilakukan diperoleh bahwa UART yang dirancang dengan VHDL dapat berfungsi dengan baik.

Kata Kunci : ModelSim Se 6.0, UART, VHDL.

DESIGN & SIMULATION OF UART (UNIVERSAL ASYNCHRONOUS RECEIVER TRANSMITTER) USING VHDL PROGRAMMING LANGUAGE

Arranged by

Name : David

NRP : 0522107

Electrical Engineering, Technic Faculty, Maranatha Christian University

Prof. Drg. Suria Sumantri, MPH Street, no.65 Bandung, Indonesia

Email : lee_hgxa@yahoo.com

ABSTRACT

Along with technological developments, the needs of the various tools that can be used for more than one needs is very usefull in cost saving. In this Final Project will be discussed about the design of UART (Universal Asynchronous Receiver Transmitter) with the VHDL programming language and the simulation using ModelSim SE 6.0. With the VHDL programming language, logic functions can be learned without having to buy IC first.

From the simulation which had done, obtained that UART which had simulated by VHDL can be function well.

Key word : ModelSim SE 6.0, UART, VHDL

DAFTAR ISI

	Halaman
KATA PENGANTAR	i
ABSTRAK	iii
ABSTRACT	iv
DAFTAR ISI	v
DAFTAR GAMBAR	vii
DAFTAR TABEL	ix
 BAB I PENDAHULUAN	
1.1 Latar Belakang	1
1.2 Identifikasi Masalah	1
1.3 Rumusan Masalah	1
1.4 Tujuan.....	2
1.5 Batasan Masalah.....	2
1.6 Sistematika Penulisan.....	2
 BAB II DASAR TEORI	
2.1 UART (Universal Asynchronous Receiver Transmitter).....	3
2.1.1 Komunikasi Data Serial Asinkron	3
2.2 Bit Paritas.....	6
2.3 ModelSim.....	7
2.3.1 Simulasi Dasar	9
2.4 Bahasa Pemrograman VHDL.....	16
2.4.1 Beberapa Sintaks VHDL.....	17
2.4.1.1 Comments.....	17
2.4.1.2 Identifiers	17
2.4.1.3 Characters.....	17

2.4.1.4 Strings.....	18
 BAB III PERANCANGAN PERANGKAT LUNAK	
3.1 Bagian Pengirim UART.....	19
3.1.1 Diagram Blok Proses Pengiriman dalam UART	19
3.1.2 Flowchart Program Pengiriman UART	20
3.1.3 Tabel Komponen Penyusun Bagian Pengirim	21
3.2. Bagian Penerima UART	23
3.2.1 Diagram Blok Proses Penerimaan UART.....	23
3.2.2 Flowchart Program Penerima UART.....	24
3.2.3 Tabel Komponen Penyusun Bagian Penerima.....	25
 BAB IV DATA PENGAMATAN DAN ANALISA	
4.1 Pengamatan berdasarkan bit paritas.....	28
4.1.1 Simulasi dengan bit paritas genap.....	28
4.1.2 Simulasi dengan bit paritas ganjil	34
4.2 Rangkuman hasil simulasi UART pada ModelSim SE 6.0	40
 BAB V KESIMPILAN DAN SARAN	
5.1 Kesimpulan	41
5.2 Saran	41
 DAFTAR PUSTAKA.....	42
 LAMPIRAN A Listing Program.....	A-1
LAMPIRAN B Sintak VHDL	B-1

DAFTAR GAMBAR

	Halaman
Gambar 2.1 Format bit yang digunakan dalam pengiriman data serial asinkron	4
Gambar 2.2 Blok Diagram UART	5
Gambar 2.3 Kotak “IMPORTANT Information”	8
Gambar 2.4 Tampilan ruang kerja ModelSim	8
Gambar 2.5 Ruang kerja ModelSim sebenarnya	9
Gambar 2.6 Diagram alir simulasi	9
Gambar 2.7 Kotak New Library	10
Gambar 2.8 Library work baru yang dibuat.....	11
Gambar 2.9 Compile HDL source File Dialog	11
Gambar 2.10 Modul VHDL yang telah di-compile ke dalam library work.....	12
Gambar 2.11 Memasukkan desain dengan dialog Start Simulation	13
Gambar 2.12 Tab Workspace yang memperlihatkan desain VHDL	14
Gambar 2.13 Memunculkan debugging window	15
Gambar 2.14 Window Waveform	15
Gambar 2.15 Window Dataflow	15
Gambar 2.16 Window list	16
Gambar 2.17 Hasil simulasi pada window Waveform	16
Gambar 3.1 Diagram blok proses pengiriman dalam UART.....	19
Gambar 3.2 Flowchart pengirim UART	20
Gambar 3.3 Diagram blok proses penerimaan dalam UART	23
Gambar 3.4 Flowchart penerima UART	24
Gambar 4.1 Hasil simulasi bagian pengirim UART dengan input 10101010	29
Gambar 4.2 Hasil Simulasi UART dengan input 10101010.....	29
Gambar 4.3 Hasil Simulasi bagian pengirim UART dengan input 11100011.....	30
Gambar 4.4 Hasil simulasi UART dengan inputn 11100011	31

Gambar 4.5 Hasil simulasi bagian pengirim UART dengan Input 10110100	32
Gambar 4.6 Hasil Simulasi UART dengan input 10110100.....	32
Gambar 4.7 Hasil simulasi bagian pengirim UART dengan input 10010001	33
Gambar 4.8 Hasil simulasi UART dengan input 10010001	34
Gambar 4.9 Hasil simulasi bagian pengirim UART dengan input 10101010	35
Gambar 4.10 Hasil simulasi UART dengan input 10101010	35
Gambar 4.11 Hasil simulasi bagian pengirim UART dengan input 11100011	36
Gambar 4.12 Hasil simulasi UART dengan input 11100011	36
Gambar 4.13 Hasil simulasi bagian pengirim UART dengan input 10110100	37
Gambar 4.14 Hasil simulasi UART dengan input 10110100	38
Gambar 4.15 Hasil simulasi bagian pengirim UART dengan input 10010001	39
Gambar 4.16 Hasil simulasi UART dengan input 10010001	39

DAFTAR TABEL

	Halaman
Tabel 2.1 Paritas Even dan Odd.....	6
Tabel 3.1 Fungsi I/ O modul Pengirim	21
Tabel 3.2 Sinyal-sinyal dalam bagian pengirim	22
Tabel 3.3 Mode pada bagian pengirim	23
Tabel 3.4 Fungsi I/ O modul Penerima.....	25
Tabel 3.5 Sinyal –sinyal dalam modul Penerima.....	26
Tabel 3.6 Mode Dalam Penerima	27
Tabel 4.1 Perbedaan bit paritas ganjil dan genap dari hasil simulasi	40